

第9回/最終回　2002年夏，SystemVerilogが誕生

明石貴昭

2001年に米国Co-Design Automation社（のちに米国Synopsys社が買収）は，Superlog ESS（Extended Synthesizable Subset）をAccelleraにドネーション（寄贈）しました．これは，原則としてIEEE標準は5年ごとに改定される，というルールがあることから逆算されたタイミングでした．ご存じのようにVerilog HDLは1995年に標準となり，2001年に改定されてIEEE Std. 1364-2001となりました．次の改訂の時期は2005～2006年ごろで，IEEEの作業速度を考えると，このタイミングのドネーションが適当だったのです．

● 開発途上のバージョンとの間には上位互換性がない

Accelleraのテクニカル・コミッティが1年間活動し，Superlogをブラッシュアップして，2002年6月のDesign Automation Conference（DAC）で「SystemVerilog 3.0」としてリリースされました．

SystemVerilog 3.0のリリース後，Synopsys社はOpenVera，OVA（OpenVeraアサーション），DirectCをAccelleraにドネーションしました．そして，SystemVerilogの検証部分を大きく進化させたSystemVerilog 3.1が2003年6月のDACでリリースされました．OVAは，ほかのプロパティ/アサーション言語と同じように，プラグマ（コメント）ベースの言語でした．そのため，SystemVerilogに組み入れられる際には，セマンティクス（意味論）はほぼそのままで，シンタックス（構文）の変更が行われました．

実はSystemVerilog 3.0には，Superlogからドネーションされたアサーション・サブセットが含まれていたのですが，SystemVerilog 3.1になる際にOVAベースへと一新されました．これによりSystemVerilog 3.0と3.1はともにVerilog HDL 2001の上位互換ながら，3.0と3.1の間に上位互換性がないという状態になりました．しかし，SystemVerilog 3.0を実装したツールは販売されませんでしたし，事実上問題は発生していないと思われます．

話を3.1に戻しますが，実はテストベンチについては，OpenVeraがほぼそのまま組み込まれています．そのため，SystemVerilogのテストベンチはOpenVeraとそっくりです．DirectCは，SystemVerilogでDPIへと進化しています．

SystemVerilog 3.1がリリースされた後，米国Bluespec社，米国Mentor Graphics社，米国Novas Software社，Synopsys社から追加のドネーションがありました．Bluespec社からはtagged union，Mentor社からはpackageとDPI拡張，Novas社とSynopsys社からはVPI拡張の提案です．これらを考慮し，ブラッシュアップを行って作成されたのがSystemVerilog 3.1aというAccelleraとしての最終版です．これは2004年のDAC開催前にリリースされました．これにてAccelleraの作業は完了し，SystemVerilog 3.1aはIEEE P1800 WGに標準化作業を託したのです．

● Verilog HDL分裂の危機を乗り越える

2004年の初夏にIEEE P1364-2005 WG（別名VSG：Verilog Standards Group）のChairであるMichael McNamara氏（米国Verisity社Senior Vice President of Technology，現在は米国Cadence Design Systems社Vice President）が2004年8月まででIEEE P1364-2005へのドネーションを締め切ると宣言しました．そこへ，Cadence社や米国Fintronic USA社，米国Jeda Technologies社，Verisity社からドネーションが行われ，肝心のAccelleraからはSystemVerilog 3.1のドネーションがなく，「Verilog HDLが二つに割れるのではないか」と大騒ぎになったことがありました．Accelleraは，SystemVerilog 3.1aを完成させてからIEEEにドネーションするとのことで，これを見送ったのです．幸いこの騒動はAccelleraがIEEE P1800としてSystemVerilog 3.1aを2004年にドネーションし，IEEEが「Verilog HDLが割れることはありえない．協調して統一スタンダードを作ること」との宣言を出し，事なきをえました．

本誌2005年9月号，pp.95-98のAppendixでも記されていたように，IEEE P1800-2005とIEEE P1364-2005は同じコントロールの下に置かれ，IEEE P1364-2005はIEEE P1800-2005との整合性部分のアップデートのみ，機能追加はIEEE P1800-2005に取り込まれています．

SystemVerilogは，2005年11月にIEEE Std. 1800-2005という形で完全な標準としてリリースされました．ほぼすべてのEDAベンダがサポートを表明しています．一部のツールでは，フルサポートに近いものもでてきています．SystemVerilogはVerilog HDLと比較して記述の幅が約2倍に広がったHDVL（hardware description and verification language）です．今，みなさんがVerilog HDLを使用していて困っていることがあったらSystemVerilogで改善されていないか調べてみてください．その部分だけでも，SystemVerilogを使う価値は十分にあると思います．

なお，AccelleraのSystemVerilog 3.1aとIEEE Std. 1800-2005の間にも，packageなどに若干の差があります．各EDAベンダが実装しているのはIEEE規格のはずですが，もし実装仕様が3.0/3.1aなどと記載されている場合はぜひ突っ込んであげてください．3.0や3.1aはプロトタイプであり，IEEE Std. 1800-2005こそがSystemVerilogの現時点の標準です．最近ではIEEE Std. 1800-2010という話もチラホラ聞こえてきます．2010年にはさらなる進化を遂げることでしょう．

<筆者プロフィール>
明石貴昭．やっぱりSystemVerilogでしょう！